

ke.

CLIPPEDIMAGE= JP401048462A

PAT-NO: JP401048462A

DOCUMENT-IDENTIFIER: JP 01048462 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: February 22, 1989

INVENTOR-INFORMATION:

NAME

KARASAWA, YOSHIO

TAKADA, KEISUKE

SAKURAZAWA, IZURU

NAGASHIMA, HIDEAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI MICRO COMPUT ENG LTD

N/A

APPL-NO: JP62204071

APPL-DATE: August 19, 1987

INT-CL (IPC): H01L029/78; H01L027/08

ABSTRACT:

PURPOSE: To stabilize the current ratio of a MOSFET, by disposing each of the

MOSFETs so that the direction from a source toward a drain is inclined at  $\pm 45^\circ$  with the crystallographic axis of a semiconductor substrate.

CONSTITUTION: Each unit MOSFET which comprises an insulating gate 2, source and drain diffusion layers 3, 4, and a contact hole 5 on a silicon semiconductor substrate 1 is so disposed that the current flow direction or the longitudinal direction of a channel is inclined at  $45^\circ$  or  $135^\circ$  with the base axis x or y. In such a manner, the device is so disposed as to be inclined at  $45^\circ$  with the base crystallographic axis in the [100] plane of a wafer, which enables the piezoelectric effect in the resistance part thereof to be minimized. Therefore, the resistance change in the

channel part thereof,  
resulting from the stresses during the MOSFET being  
assembled or molded, can be  
minimized. As a result, the current ratio  
indispensable to DAC can be  
stabilized.

COPYRIGHT: (C)1989, JPO&Japio

## ⑫ 公開特許公報(A)

昭64-48462

⑪ Int.Cl.<sup>4</sup>H 01 L 29/78  
27/08

識別記号

3 0 1  
1 0 2

庁内整理番号

Q-8422-5F  
Z-7735-5F

⑬ 公開 昭和64年(1989)2月22日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-204071

⑯ 出 願 昭62(1987)8月19日

⑰ 発 明 者 唐 沢 芳 雄 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 発 明 者 高 田 啓 祐 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 日立マイクロコンピュータエンジニアリング  
株岸会社 東京都小平市上水本町1479番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

1. 半導体基体の一主表面に単位MOSFETが縦横方向に複数個配置されている半導体装置であって、各MOSFETは半導体基体の結晶基軸方向に対し $\pm 45^\circ$ またはその近傍の角度に傾くように配置されていることを特徴とする半導体装置。

2. シリコン半導体基体の結晶面を(100)面とし、結晶軸&lt;100&gt;方向にMOSFETのチャネル電流方向(ソースからドレイン又はドレインからソースへ向かう電流の方向)を一致させる特許請求の範囲第1項に記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高精度電流比のMOSFETに関する。

〔従来の技術〕

電流加算型CMOS・D/A(デジタル/アナログ)コンバータについては、本出願人により「単位MOSFET法」と呼ばれる技術が以前から採用されている。この技術の特徴は、たとえば、1:2の電流比を得たい場合にMOSTランジスタ(第3図を参照)のサイズW(ゲート幅)/L(チャネル長)を $a/b:2a/b$ とするのではなく、 $a/b(1ケ):a/b(2ケ)$ とすることにより、仕上り寸法の差異による電流比の誤差を低減しているものである。

レジソフォームデバイス等においては、組立、封止工程でのストレスにより、可逆的に抵抗値の変動する半導体抵抗ビエゾ効果のあることが知られている。

ビエゾ効果については現行の{100}面を用いたシリコンウエハでは、抵抗の向きと抵抗値の変動量との関係は以下のように解析されている。

第2図は{100}面における軸の関係を示す。{100}面におけるビエゾ抵抗効果は、抵抗長手方向に応力が作用しても、横方向に作用しても、

抵抗を $\langle 100 \rangle$ 軸方向に配した場合、ストレス（応力）に対する抵抗値の変動が最小となる。

すなわち、抵抗をOF（オリエンテーションフラット： $\langle 110 \rangle$ ）に対し $\pm 45^\circ$ 傾けることにより、変動量の少ない抵抗が得られる。

このことを応用した半導体装置については本願人による特公昭56-24380公報に記載されている。

〔発明が解決しようとする問題点〕

D/Aコンバータに用いられている単位MOSFET法では、各トランジスタの比精度を充分に取ることが重要な課題である。この単位MOSトランジスタの数が少ない場合、比精度を取ることが比較的容易であり、たとえば、単位MOSトランジスタを隣接して同一方向に配すればよい。

しかし、D/Aコンバータ等においては多数の単位素子を必要とする。すなわち、分割、回路形式により異なるが、13bitで297ケという例がある。したがってその場合、物理的に隣接が不可能となってくる。

(3)

すなわち、半導体基体上に単位MOSFETが縦横方向に複数個配置されている半導体装置であって、各MOSFETのソースからドレインに向かう方向が半導体基体の結晶基軸方向に対し $\pm 45^\circ$ またはその近傍に傾くように配置されているものである。

〔作用〕

上記した手段によればチャネル部におけるピエゾ効果を最小とすることができ、電流比の安定に寄与できる。

〔実施例〕

第1図は本発明の一実施例を示すものであって一つの半導体基体の表面に形成された単位MOSFET群の平面図である。

1はシリコン半導体基体、2は絶縁ゲートである。3、4はソース・ドレイン拡散層、5はコンタクト孔である。

同図に示すように各単位MOSFETはその電流方向すなわちチャネル方向を基軸（x又はy）に対して $45^\circ$ （又は $135^\circ$ ）傾けて配置され

(5)

MOSトランジスタの平面構造は第4図に示すように絶縁ゲート2をはさんでソース・ドレイン拡散層3、4が設けられ、ゲート直下の部分がチャネル部（斜線で示される）となる。チャネルの抵抗値の変動は直接ドレイン電流の変動となる。したがって2つの素子を隣接して配置できない場合、ピエゾ抵抗効果により比精度の悪化となることがわかってきた。

本発明は上記した問題を克服するためになされたものであり、その目的とするところは、DAC・MOS半導体装置において、組立時のストレスによるチャネルの抵抗値変化を極力少なくし、DACに不可欠である高精度な電流比を実現させることにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかとなる。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に述べれば下記のとおりである。

(4)

る。

第2図は $\{100\}$ 面における軸の関係を示すものであるが、 $\{100\}$ 面は他の5つの等価な面 $\{010\}$  $\{001\}$ ……を代表するものであり、同様に $\langle 100 \rangle$ 軸も $\langle 010 \rangle$  $\langle 001 \rangle$ と等価であるが $\langle 100 \rangle$ で代表している。

上記した実施例から得られる作用効果は下記のとおりである。

現在多く採用されているウエハ $\{100\}$ 面においては、基準結晶軸より $45^\circ$ 傾いて素子を配置することによりその部分の抵抗部分のピエゾ効果を最小に押さえることができる。

したがって、MOSFETの組立、モールド時のストレスによるチャネル部の抵抗値変化を最小とし、DACに不可欠な電流比を安定化することができる。

なお、各単位MOS素子は $\langle 100 \rangle$ に平行でなくともチップ中央に配置すればピエゾ抵抗効果を低減できるが、構成するMOSFETが多数である場合、すべてのトランジスタを中央に配置す

(6)

ることはできず、したがって電流比安定化に関わる全てのMOS素子を $\langle 100 \rangle$ に平行に配置することが好ましい。

以上本発明者によってなされた発明にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

本発明は高性能CMOSDAC又はADC(アナログ/デジタル・コンバーター)に適用して最も効果がある。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、高性能CMOS、DACを提供できる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すMOSFETの平面図である。

第2図は結晶面 $\{100\}$ における結晶軸の関

係を示す平面図である。

第3図は単位MOSFETのサイズを示す平面図である。

第4図は第3図におけるA-A切断断面図である。

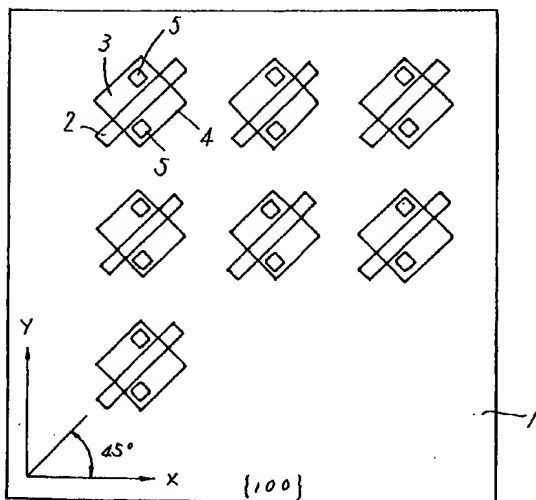
1…半導体基体、2…絶縁ゲート、3、4…ソース・ドレイン拡散層、5…コンタクト孔、6…チャネル部。

代理人 弁理士

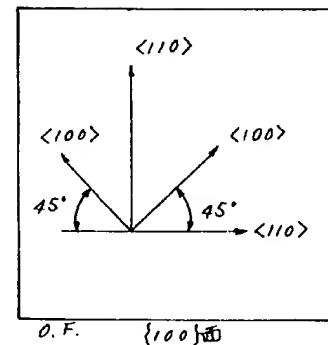
小 川 勝 男



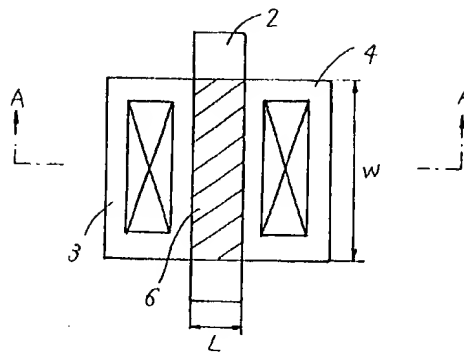
第 1 図



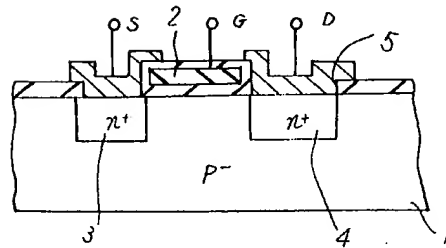
第 2 図



第 3 図



第 4 図



第1頁の続き

⑦発明者 桜 沢

出

東京都小平市上水本町1479番地  
タエンジニアリング株式会社内

日立マイクロコンピュー

⑧発明者 永 島

英 明

東京都小平市上水本町1479番地  
タエンジニアリング株式会社内

日立マイクロコンピュー